# PATENT ABSTRACTS OF JAPAN

(11)Publication number:

11-031747

(43)Date of publication of application: 02.02.1999

(51)Int.CI.

H01L 21/82 G06F 17/50

(21)Application number: 09-185381

(71)Applicant:

**TOSHIBA CORP** 

(22)Date of filing:

10.07.1997

(72)Inventor:

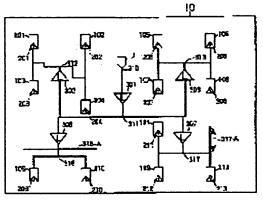
KIMURA KAZUNARI

## (54) DESIGN DEVICE FOR CLOCK OF SEMICONDUCTOR INTEGRATED CIRCUIT, DESIGN AND CLOCK FEED CIRCUIT **NETWORK THEREOF**

## (57)Abstract:

PROBLEM TO BE SOLVED: To reduce a difference in the delays of the clocks of a semiconductor integrated circuit, by a method wherein a load capacitance adjusting means is constituted into a structure, wherein a dummy buffer circuit, a dummy clock input circuit and a dummy wiring are connected with each circuit on the basis of a difference between the load capacitances of the circuits, which is obtained by calculating the load capacitances, to adjust the load capacitances of the circuits roughly equal to each other.

SOLUTION: Differences between the terminal capacitances 201 to 204, 205 to 208, 209 and 210 and 211 to 213 of clock input terminals 101 to 104, 105 to 108, 109 and 110 and 111 to 113, which are respectively connected with buffer elements 202, 203, 306 and 307, are calculated. The total terminal capacitances of the element 302, the total terminal capacities of the element 303, the total terminal capacitances of the element 306 and the total terminal capacitances of the element 307 are respectively denoted as the reference numerals 4, 5, 2 and 3. As the largest total terminal capaictances among the total terminal capacitances are the reference numeral 5 of the element 303, the wiring capacitance of a wiring of the component 1 of a difference between the total terminal capacitances of the elements 303 and 302, the wiring capacitance of a wiring of the component 3 of a difference between the total terminal capacitances of the elements 303 and 306, and the wiring capacitance of a wiring of the component 2 of a difference between the total terminal capacitances of the elements 303 and 307, are respectively added to each of the other buffer elements 302, 306 and 307 to equally adjust the load capacitances of the elements 302, 303, 306 and 307 to each other.



医大力学 经公司公司

## **LEGAL STATUS**

[Date of request for examination]

26.09.2000

[Date of sending the examiner's decision of rejection]

08.07.2003

[Kind of final disposal of application other than the examiner's decision of rejection or application converted registration]

[Date of final disposal for application]

[Patent number]

[Date of registration]

[Number of appeal against examiner's decision of rejection]

[Date of requesting appeal against examiner's decision of rejection]

[Date of extinction of right]

Copyright (C); 1998,2003 Japan Patent Office

# Japanese Publicati n f r Unexamined Patent Application No. 31747/1999 (Tokukaihei 11-31747)

## A. Relevance of the Above-identified Document

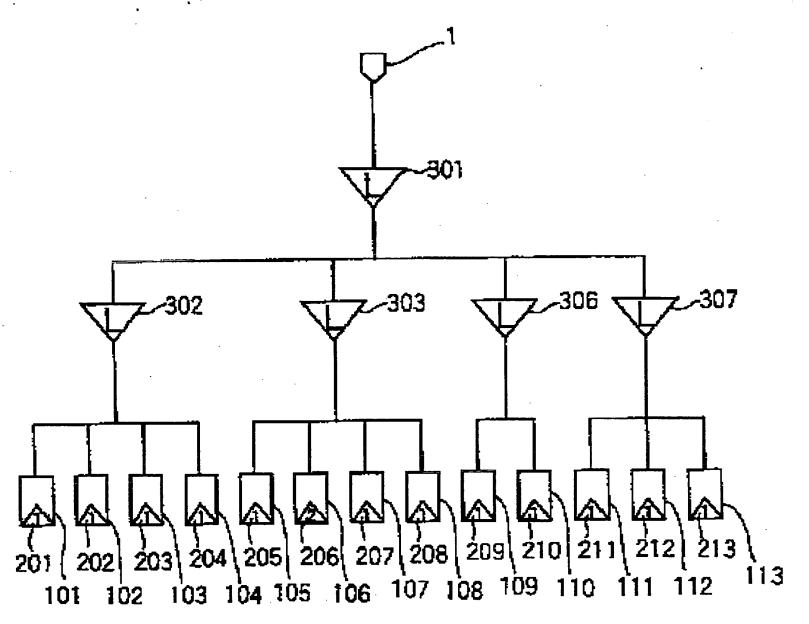
This document has relevance to all claims of the present application.

# [EMBODIMENTS]

[0030]

As shown in Figures 3 and 4, in creation of a clock tree of the clock CLK1, the number of buffer element stages from the clock supplying element 1 to the corresponding clock input are unified with respect to all of clock input element 101 through 113, and the types of buffer element (i.e., driving ability) of the clock supplying element 1, and the second-stage buffer elements 302, 303, 306, and 307 are unified. Further, the deference among the respective terminal capacitances of the clock input terminal elements 201 through 213 connected to the those buffer elements are found, so as to equalize the respective load capacitances to which the buffer elements 302, 303, 306 and 307 are connected. According to the calculation, which reveals that the gross terminal capacitance of the buffer element 302 is 4, the gross terminal capacitance of the buffer element 303 is 5, the gross terminal

capacitance of the buffer element 306 is 2, the gross terminal capacitance of the buffer element 307 is 3. Since the calculation shows that the largest gross terminal capacitance of the buffer element 303 is 5, the other buffer elements 302, 306 and 307 are provided with wiring capacitances, respectively, additional quantity is determined based on the differences between the largest buffer element 303 and the respective other buffer elements (i.e., the buffer elements 302, 306 and 307 are provided with 1, 3, and 2, respectively). specifically, the wiring 316 connected to the buffer element 306 is provided with partial wiring with wiring capacitance of 316-A, and the wiring 317 connected to the buffer element 307 is provided with partial wiring with wiring capacitance of 317-A. As to the wiring 312 connected to the buffer element 302, no capacitance is added since its wiring capacitance is greater than that of the wiring 313 connected to the buffer element 303 as shown above. In this manner, the load capacitances of the respective buffer elements 302, 303, 306 and 307 are unified.



clock supplying element of the clock CLK1

101~113: clock input element

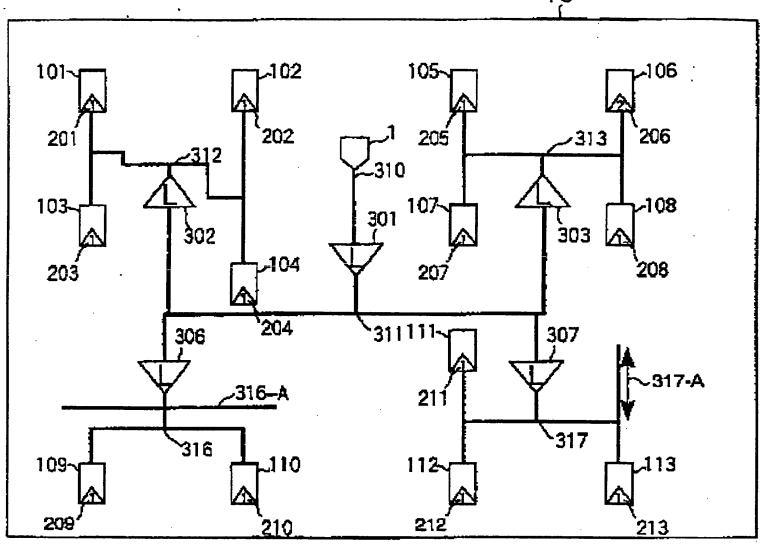
201-213: terminal capacitance value of clock input element

301~303, 306, 307 : buffer element

driving ability large

driving ability medium

driving ability small



wiring layer of vertical wiring: first layer wiring layer of horizontal wiring: second layer

clock supplying element of the clock CLK1

plane of semiconductor integrated circuit

101~113: clock input element

201-213: terminal capacitance value of clock input element

301~303, 306, 307: buffer element

driving ability driving ability driving ability large medium small

310~313, 316, 317: wiring between elements

316-A, 317-A: partial wiring

# (18) 田林西(PE) (1 b)

# (IS) 公開特許公報(A)

# 特開平11-31747

(11)特許出歐公別番号

(43)公開日 平成11年(1999)2月2日

		6 5	
		16/60	
H	HOIL	G 0 6 F	
中国医療		-	
	21/82	17/20	
(51) Int Ci.	HO1L ?	G 0 6 F	

₩ 0 藤英樹泉 未糖水 糖水項の数8 01 (全14月)

(71) 田間人 000003078	在公式工工工工工工工工工工工工工工工工工工工工工工工工工工工工工工工工工工工工	式会社東芝学等体システム技術センター(74)代理人 弁理士 三好 秀和 (4/3名)	
(4) 国际 — 185381	平成9年(1987)7月10日		
(21) 出最勝年	(22) 出版日		

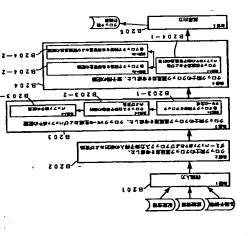
£

# [54] 【発明の名称】 ・ 半導体禁御回路のクロック設計装置及び半導体集領回路の設計方法ならびに半導体集領回路のクロック代表回路器

(57) [政約]

**【昭昭】 この発明は、製造工程、温度及び電源電圧などの変動によりクロック選延を一様にし、クロック選延数(スキュー)を低減した半等体染憩回路のクロック設計製度及び設計方法ならびにクロック供給回路網を提供することを際因とする。** 

**【解決年段】 この免明は、パッファ回路の段数、駆動力を同一とし、かつダミーのパッファ回路、ダミーのクリック入力回路、ダミーの配象を付加して各回路の負荷容量が応回してなるように関賂して構成される。** 



# 【作許健安の衛囲】

「柳末頃 1】 バッファ回路を介してクロック供給回路 と複数のクロック人力回路がツリー状に接続され、前記 クロック供給回路と前記それぞれのクロック入力回路間 に挿入される前記パッファ回路の段数を同一に設定する 前記クロック供給回路と前記それぞれのクロック人力回路間に挿入される前記パッファ回路の駆動力を同一に設定する手段と、

前記パッファ回路に接続される負荷容量を略同一に調整する負荷容量調整手段を有し、

耐配負荷容量調整手段は、前記ッリー状に接続された回路の各段で回路間を接続する配級の長さならびに幅を可能な限り同一とし、前記各回路に接続される負荷容量を算出し、算出した負荷容量の登頭に基づいて前記各回路にダミーのバッファ回路、ダミーのクロック人力回路、ダミーの配線を接続して負荷容量を略同一に調整する手段を含むことを特徴とする半導体集積回路のクロック設

「静水頃2」 前記負荷容量調整手段は、前記クロック 人力回路の配置を移動して前記パッファ回路と前記クロ ック人力回路の配線長を調整する手段を有することを特 徴とする静水頃1記載の半導体巣側回路のクロック設計 始層

「翻求項3】 それぞれ独立してクロックを出力する被数の前記クロック供給回路を有し、前記それぞれのクロック供給回路に対応したッリー状のそれぞれのフロック供給網間を設計対象とすることを特徴とする翻求項1又は2記載の半導体発積回路のクロック設計装置。

「朝来頃4】 バッファ回路を介してクロック供給回路と複数のクロック入力回路かツリー状に接続され、前記クロック人力回路かツリー状に接続され、前記クロック人力回路間に挿入される前記パッファ回路の段数を同一に設定する

ハン・アンのでは他回路と前記それぞれのクロック入力回倒記クロック供給回路と前記それぞれのの解しに押入される前記パッファ回路の駆動力を同一に設定するステップと、

前記パッファ回路に接続される負荷容量を略同一に顕整 する調整ステップを有し、 的記額整ステップは、前記ッリー状に接続された回路の 各段で回路間を接続する配線の長さならびに幅を可能な 限り同一とし、前記各回路に接続される負荷容量を野出 し、穿出した負荷容量の总契に基づいて前記各回路にダ ミーのバッファ回路、ダミーのクロック入力回路、ダミ ーの配線を接続して負荷容量を略同一に開整するステッ な合むたとを特徴とする半導体集積回路のクロック設 「静求頃5】 前記調整ステップは、前記クロック人力 回路の配置を移動して前記パッファ回路と前記クロック 入力回路の配線長を調整するステップを有することを特

=

徴とする欝求項4記載の半導体集積回路のクロック設計

カロ。 【韓永頃8】 それぞれ独立してクロックを出力する複数の前記クロック供給回路を有い、前記それぞれのクロック供給回路に対応したツリー状のそれぞれのクロック 供給網閲を設計対象とすることを特徴とする静求項4又

はも記載の半等体集役回路のクロック設計方法。 【翻求項7】 バッファ回路を介してクロック供給回路 と複数のクロック入力回路か少リー状に接続され、前記 コ クロック供給回路と前記それぞれのクロック入力回路間 に挿入される前記パッファ回路の段数が同一に設定され た回路網と、前部の場と前記それぞれのクロック入力回前記クロック供給回路と前記それぞれの回路の駆動力が同一に設定された回路の運動力が同一に設定された回路線と、

前記パッファ回路に接続される負荷容量を略同ーに調整 する負荷容量調整回路網を有し、

前記負荷容量弱整回路網は、前記ッリー状に接続された 回路の各段で回路間を接続する配線の長さならびに幅を 可能な限り同一とし、前記各回路に接続される負荷容量 を算出し、算出した負荷容量の登異に基づいて前記各回 路にダミーのバッファ回路、ダミーのクロック入力回 路、ダミーの路線を接続して負荷容量を略同一に調整す る回路網を含むことを特徴とする半導体集積回路のフロック供給回路網。

# 【発明の詳細な説明】

【0001】 【発明の属する技術分野】本発明は、半導体集段回路のクロック設計におけるクロック内及び投数のクロック同士のクロック程を並か、製造工程、超度及び電缆電圧などの変動の影響を受けない半導体集街回路のクロック設計装置及び半導体集積回路のクロック設計等体集積回路のクロック投出機用路のクロック状料面路網に関する。 [0002] (従来の技術] 半導体集積回路のクロック設計において、クロック内のクロック供給菓子から各クロック入力 菓子間のクロック選延登を許容範囲内にするために、以下に示す手段(a)、(b)及び(c)によりクロック 供給菓子から各クロック入力菓子間にクロックリーの生成を行っている。 【0003】(a)クロック供給素子及びクロック人力 集子の位置を考慮し、クロック供給業子からクロック人 力業子間にクロックッリーのバッファ案子を生成する手段、このバッファ案子を収ますを 段、このバッファ案子を配置する手段、かつクロック供 給案子とバッファ案子間、バッファ案子同士、及びバッ

3

バッファ熱子の駆動力を変える手段によりクロック選延 容範囲内にするために、各クロックのバッファ索子の駆 ロックのクロック選延を合わせて、クロック選延差を許 動力を変える手段、かつ各クロックにクロック運延調整 のバッファ索子段数を変える手段によりクロック同士の 【0004】 (b) 各パッファ繋子に接続するクロック でクロックツリーの生成を行い、クロック同士のクロッ ク選延登が許容範囲内に納まっていない場合には、各ク 用のパッファ素子を抑入する、すなわちクロックツリー [0005] (c) 各クロックは手段(a) 及び(b) 入力森子の端子容量及び配線容量に登段がある場合は、 を関整してクロック選延並を許容範囲内にしている。 クロック選延競を許容範囲内にしている。

【0008】一般に、クロック供給君子及びバッファ祭 ファ素子に接続する素子の塩子容量及び配線の長さに比 びクロック入力素子間の配線距離が長くなると、すなわ 子からこの君子に接続するバッファ素子及びクロック人 力衆子間のクロック遅延は、クロック供給索子及びバッ 例する配線容量の負荷容量が大きくなるとクロック選延 は大きくなり、クロック供給素子及びパッファ素子の甌 クロック供給素子及びバッファ素子からバッファ素子及 【0007】次に、図10に示す従来の半導体集的回路 のクロック設計装置及び図11に示す設計方法のフロー 動力が大きくなるとクロック選延は小さくなる。また、 ち配線抵抗が大きくなるとクロック選延は大きくなる。 チャートを参照して上配従来技術を説明する。

(0008]図10及び図11において、A101, B 101では、各衆子の情報、クロック供給索子及びクロ の発子配置情報を入力する。次にA102,B102で 子を配置する。詳細はA102-1, B102-1で上 助力を変更する。A103,B103では、複数クロッ ック入力祭子間の掻続情報、及び半導体集積回路の平面 は、クロック毎にクロックツリーの生成及びパッファ索 間にクロックツリーを生成し、A102-2, B102 2 — 3、B 1 0 2 — 3で上記(b)手段の各パッファ森 子に接続するクロック入力索子の始子容量及び配線容量 の登買を計算し、並異がある場合にはパッファ索子の駆 クの場合はクロック同士のクロック選延を調整する。詳 個はA103-1, B103-1で上記(c) 手段のク ロック両士のクロック選延登が許容範囲内に納まってい ない場合は、A103-1, B103-2で各クロック のパッファ祭子の駆動力を変え、さらに各クロックにパ ッファ森子を挿入する。A104, B104では、クロ ック毎に禁子間を配稿する。最後にA105,B105 85 (B) 手段のクロック供給素子からクロック入力索子 -2で上記(a) 手段のパッファ素子を配置し、A10

【0009】次に、上紀設計装置ならびに設計方法を用 **1たクロック設計例を図12~図19を参照して説明す** 

ない。そこで、上記(b) 手段によりバッファ素子30 **の時、パッファ繋子301~305間で接続されるクロ 豊興があるため、クロック選延差が許容範囲内に納まら** 【0010】まず、図12に示すように、クロック供給 いる場合に、図13に示す各案子101~113の配置 **立置、クロック入力素子Ⅰ01~113の端子容量20** | ~2 1 3、各素子間の配線容量、かつ各紫子間の配線 距離を考慮し、上記(8)手段によりクロック供給索子 1から各クロック入力繋子101~113間のクロック 種延憩が許容範囲内になるように、図14に示すように パッファ菓子301~305をツリー状に生成し、図1 各衆子間を配線310~315により配線している。こ ック入力発子101~113の端子容量及び配線容量に 1~305の駆動力を変えることで、クロック選延差を **R子 1 にクロック入力珠子 1 0 1~1 1 3 が接続されて** 5に示すようにパッファ森子301~305を配置し、 許容範囲内にしている。

【0011】また、複数のクロック同士のクロック選延 **葭を許容範囲内にするために、上記(c)手段により各** クロックのクロック供給素子1、2からクロック入力案 子101~113、501~503間にクロックツリー の生成を行っている。これを図14~図19を参照して 説明する。

一の生成を行い、各クロック内のクロック運延差を許容 ク供給案子2及びパッファ案子701,702の負荷容 ように、上記 (a) 及び (b) 手段によりクロックツリ 範囲内にしている。しかし、クロック CLK 2のクロッ 量がクロックCLK1より小さいため、クロックCLK K 2にパッファ索子103を挿入し、クロックCLK2 のクロック 超延を大きくし、クロック CLK 1とクロッ クCLK2同士のクロック選延**差を許容範囲内にして**い 【0012】クロックCLK1は図14及び図15に示 すよろに、クロックCLK2は図16及び図17に示す クロック C L K 1 とクロック C L K 2 両士のクロック湖 手段により図18及び図19に示すようにクロックCL 2はクロックCLK1よりクロック選延が小さくなり、 低憩が許容範囲内に納まらない。このため、上記(c)

**する手段(8)、(b)及び(c)において、以下の示 従来のクロック設計装置及び設計方法にあっては、クロ** ック内及びクロック同士のクロック選延差を許容範囲内 **【発明が解決しようとする課題】以上説明したように、** ず課題が生じていた。 (0013)

【0014】各バッファ東子段に接続する東子の始子谷 **歴及び配線容量に並異があり、各パッファ索子段の駆動** 力、すなわちバッファ素子の電類が異なり、及び各クロ

では、各クロックのクロック設計結果を出力する。

件でクロック遅延を調整し、クロック遅延差を許容範囲 ックのクロックツリーのバッファ素子段数が異なる状態 で、かつ製造工程、動作温度及び電源電圧などの特定条 内にしているため、製造工程、温度及び電源配圧などが 変動した時に、各パッファ索子のクロック選延及び各配 線の配線抵抗によるクロック選延が変動し、すなわち各 クロック供給素子からクロック入力素子間のクロック選 廷が変動し、クロック選延遵が許容範囲内に納まらなか 【0015】 一般に、製造工程、温度及び電源電圧など 子の駆動力及び配線抵抗などが変助する。また、製造工 程、温度及び電源電圧などの変動に対する教子の強子容 **量、配線容量、パッファ素子の駆動力及び配線抵抗など** が変動すると、衆子の端子容量、配線容量、パッファ素 の変動はそれぞれで異なる。

**延急が変動し、クロック遅延差が許容範囲内に納まらな** 【0016】このように、従来では製造工程、温度及び 郡淑亀圧などを特定条件でクロック選延を調整してクロ 程、温度及び電源電圧などは変動するため、クロック避 くなり、回路に誤動作が生ずるといった不具合を招いて ック選延楚を許容範囲内にしているが、一般に製造工

【0017】そこで、この発明は、上記に鑑みてなされ 様にし、クロック遅延差(スキュー)を低減した半導体 たものであり、その目的とするところは、製造工程、動 作温度及び電源電圧などの変動によりクロック遅延を一 **集徴回路のクロック散針装置及び設計方法ならびにクロ** ック供給回路網を提供することにある。

【課題を解決するための手段】上記目的を達成するため らびに幅を可能な限り同一とし、前配各回路に接続され る負荷容量を算出し、算出した負荷容量の差異に基づい ック供給回路と複数のクロック入力回路がツリー状に接 彼され、前記クロック供給回路と前記それぞれのクロッ 一に設定する手段と、前記クロック供給回路と前記それ に接続される負荷容量を略同一に調整する負荷容量調整 接続された回路の各段で回路間を接続する配線の長さな に、額求項1記載の発明は、パッファ回路を介してクロ ク入力回路間に挿入される前記パッファ回路の段数を同 それのクロック入力回路間に挿入される前記パッファ回 路の駆動力を同一に設定する手段と、前船パッファ回路 手段を有し、前記負荷容量調整手段は、前記ツリー状に て前記各回路にダミーのバッファ回路、ダミーのクロッ ク入力回路、ダミーの配線を接続して負荷容量を略同一 に調整する手段を含むことを特徴とする。

【0019】 韓水頃2 記載の発明は、静水頃1 記載の半 **専体集費回路のクロック設計装置において、前記負荷容 量調整手段は、前記クロック入力回路の配置を移動して** 前記パッファ回路と前記クロック入力回路の配線長を調 盤する手段を有することを特徴とする。

[0020] 精水項3記載の発明は、静水項1叉は2記 給回路を有し、前記それぞれのクロック供給回路に対応 したッリー状のそれぞれのクロック供給網面を設計対象 戦の半導体集積回路のクロック設計装置において、それ それ独立してクロックを出力する複数の前記クロック供 とすることを特徴とする。

一に設定するステップと、前記クロック供給回路と前記 ステップを有し、前起調整ステップは、前起ツリー状に 接続された回路の各段で回路間を接続する配線の長さな らびに幅を可能な限り周一とし、前配各回路に接続され る負荷容量を算出し、算出した負荷容量の差異に基づい (0021) 請求項4記載の発明は、半等体集積回路の クロック設計方法において、バッファ回路を介してクロ ック供給回路と複数のクロック入力回路がツリー状に接 続され、前記クロック供給回路と前記それぞれのクロッ ク入力回路間に挿入される前記パッファ回路の段数を周 それぞれのクロック入力回路間に挿入される前記パッフ ア回路の駆動力を同一に設定するステップと、前記パッ ファ回路に接続される負荷容量を略同一に関整する調整 て前記各回路にダミーのバッファ回路、ダミーのクロッ ク入力回路、ダミーの配線を接続して負荷容量を略同一 に関盤するステップを含むことを特徴とする。

【0022】 欝水項も記載の発明は、 欝水項4記載の半 尊体集積回路のクロック設計方法において、前記調整ス テップは、前記クロック入力回路の配置を移動して前記 パッファ回路と前記クロック入力回路の配級長を調整す るステップを有することを特徴とする。

それ独立してクロックを出力する複数の前記クロック供 【0023】 蘭水項 6 記載の発明は、 鯖水頃 4 又は 5 記 戦の半導体集徴回路のクロック設計方法において、それ 給回路を有し、前記それぞれのクロック供給回路に対応 したツリー状のそれぞれのクロック供給網間を設計対象 とすることを特徴とする。

段数が同一に設定された回路網と、前記クロック供給回 路と前記それぞれのクロック入力回路間に挿入される前 【0024】鯖水項7記載の発明は、バッファ回路を介 してクロック供給回路と複数のクロック入力回路がツリ 一状に接続され、前記クロック供給回路と前記それぞれ のクロック入力回路間に挿入される前記パッファ回路の 前記パッファ回路に接続される負荷容量を略同一に関盤 する負荷容量調整回路網を有し、前記負荷容量調整回路 網は、前記ツリー状に接続された回路の各段で回路間を 前記各回路に接続される負荷容量を算出し、算出した負 荷容量の差異に基づいて前記各回路にダミーのバッファ 回路、ダミーのクロック入力回路、ダミーの配線を接続 して負荷容量を略同一に調整する回路網を含むことを特 傍続する配線の長さならびに幅を可能な限り同一とし、 記パッファ回路の駆動力が同一に設定された回路網と、

【0025】 静水項8記載の発明は、静水項7記載の半

徴とする。

 $\equiv$ 

容量問整回路網は、前記クロック入力回路の配置を移動 して前記パッファ回路と前記クロック入力回路の配線長 単体集積回路のクロック供給回路網において、前記負荷 を開整する回路網を有することを特徴とする。

【発明の奥施の形御】以下、図面を用いてこの発明の実 箱の形物を説明する。

(0028)

**す図であり、図2は蔚水頃4,5又は6記載の一東施形** [0027] 図1は鶴水項1,2又は3船戦の一実施形 即に係る半導体集物回路のクロック設計装配の構成を示 慰に係る半導体集領国路のクロック設計方法のフローチ ャートを示す図であり、図4、図5、図7又は図9は離 **東切7又は8記載の一支施形態に係る半導体集積回路の** クロック供給回路網の一構成を示す図である。

段の端子容量の登與を計算し、A204-2a、B20 入力発子の移動の検討及び契施をし、A203-3,B 5。次にA204, B204は、クロック同士のクロッ ク選延並を考慮した素子間の配線をする。詳細は、A2 04-1, B204-1でクロック同士で負荷容量を同 年にするためるにクロック供給素子及び各パッファ素子 4-28でクロック同士で負荷容量が同等になる配線を し、A204-2b、B204-2bでクロック岡士で [0028]図1及び図2において、A201, B20 1は、各衆子の情報、クロック供給素子及びクロック入 カ君子間の撥焼情報、及び半等体集積回路の平面の君子 配置情報を入力する。次にA202,B202は、クロ る。次にA203, B203は、クロック同士のクロッ 1で各クロックで同等なクロックツリーを生成し、A2 03-2、B203-2で各クロックについてクロック 203-3で各クロックについてバッファ素子を配置す 負荷容量及び配線抵抗が同等になる配線をする。最後に A205,B205は、各クロックのクロック設計結果 ク遅延控を考慮したクロックツリーの生成及びバッファ ★子の配置をする。詳細は、A203−1, B203− ック同士のクロック選延塾を考慮したダミーのパッファ **祭子及びクロック入力祭子の挿入の検討及び実施をす** 

に投続する負荷容量を同一にし、各パッファ祭子に接続 する素子の塩子容量の並與を計算し、各パッファ素子に にする英施形態について、クロックCLK1のクロック 数、各段のバッファ森子粗類、かつ各段のバッファ索子 接続する配線容量を調整することにより負荷容量を同一 【0029】次に、クロックツリーのバッファ森子段 設計解果である図3及び図4を用いて説明する。

を出力する。

素子段数を同一にし、クロック供給素子 1から 2段目の ア素子の種類(駆動力)を同一にし、2段目のバッファ [0030] 図3及び図4において、クロックCLK1 パッファ菓子302, 303, 306, 307のパップ のクロックツリーの生成において、クロック供給素子1 から各クロック入力素子101~113までのバッファ

い。これにより、各バッファ累子302,303,30 素子302,303,306,307に接続する負荷容 量を同一にするために、各パッファ繋子に接続するクロ 子303の終始子容量は5、バッファ素子306の総備 子容量は2、パッファ素子307の総端子容量は3であ り、一番大きい総備子容量はバッファ森子303の5で あるため、歯のパッファ繋子302,306,307に パッファ素子303との端子容量の差異分1、3、2の 配線の配線容量を付加する。すなわち、バッファ索子3 06に接続する配線316は配線316の部分配線31 6 — Aの配線容量を付加し、バッファ307に接続する 配線317は配線317の部分配線317-Aの配線容 **量を付加する。また、パッファ森子302に接続する配** 模312はバッファ菓子303に接続する配模313よ り配線容量が前記差異分大きいため配線容量を付加しな し、パッファ素子302の総端子容量は4、パッファ素 ック入力素子の端子容量201~213の差異を計算 6,307の負荷容量を同一にする。

【0031】次に、各パッファ紫子段の各紫子間の配線 **閻毎の長さ及び幅を可能な限り同一にし、クロック入力** 素子を移動する契施形態について、クロックCLK1の クロック設計結果である図5を用いて説明する。

配線313,318,318,320のように可能な限 3,319,320に接続するクロック入力素子の総増 子容量が異なるため、この登異分として配線容量を付加 [0032] 図5において、クロック供給繋子1から2 段目のバッファ素子302に接続する配線閻毎の長さを パッファ棋子303,308,307と同一にするため に、バッファ繋子302に接続しているクロック入力霖 子104の配置位置を図4に示す位置から図5に示す位 **酉に移動し、2段目のパッファ素子302,303,3** 08,307に接続する配線の配線履毎の長さ及び幅を り同一にする。ここで、配線318の部分配線318-A、配線319の部分配線319-A,B及び配線32 0の部分配線320-Aは、バッファ素子302,30

同一にし、各バッファ素子に接続する素子の増子容量及 【0033】次に、ダミーのバッファ繋子及びクロック 入力素子を付加することにより、各パッファ紫子段のパ ッファ素子に接続する素子数及び素子種類を可能な限り び配線容量を同一にする実施形態について、クロックC LK1のクロック設計結果である図6及び図7を用いて 数型する。

付加し、パッファ教子302,303,305,307 に接続するクロック入力素子数及び端子容量を可能な限 【0034】図6及び図7において、クロック供給券子 パッファ繋子306は2個、パッファ繋子307は1個 のダミーのクロック入力繋子114,115,116を |から2段目のバッファ繋子302,303,306, 307に接続するクロック入力寮子に差異があるため、

07に接続する配線の配線層毎の長さ及び幅を配線31 り回一にし、パッファ教子302,303,306,3 8,313,321,322のように可能な限り同一に する。ここで、配綴318の部分配綴318-Aは、バ ッファ森子302とバッファ標子303,319,32 0に接続するクロック入力索子の総増子容量が異なるた め、この差異分として配線の配線容量を付加する。

生成する実施形態について、クロック CLK 1のクロッ ク設計結果である図6及び図7と、クロックCLK2の ック選延差を許容範囲内にするためのクロックツリーを 【0035】次に、複数クロックのクロック同士のクロ クロック設計結果である図8及び図9を用いて説明す

K2の各衆子間の配線の配線圏毎の長さ及び幅をクロッ クCLK1と可能な限り回一にする。このとき、クロッ ファ素子704と同一段のクロックCLK1のバッファ **素子301と同一にするため、バッファ繋子704にダ** ミーのバッファ繋子706を付加し、クロックCLK2 クCLK2のバッファ繋子708は、ダミーのバッファ 株子であるため、クロックCLK1と回一にするダミー [0036]図6~図9において、クロックCLK1と クロックCLK2同士のクロック運延差を許容範囲内に するために、クロックCLK2のパッファ袰子段数及び し、クロックCLK2のクロック供給素子2から 1段目 のバッファ栞子704に接続するバッファ栞子数をバッ 5, 707, 708に接続するクロック入力索子数及び 強子容量をパッファ繋子705,707,708と同一 306、307と可能な限り同一にするため、パッファ ロック入力表子504~512を付加し、クロックCL **素子705,707,708にれぞれ3個のダミーのク** 段のクロックCLK1のパッファ繋子302,303, のクロック供給素子2から2段目のパッファ素子70 各段のバッファ素子種類をクロック C L K 1 と同一に のクロック入力素子は付加しない。

【0037】このように、上紀実施形態にあっては、各 定条件の製造工程、温度及び電源電圧などで許容範囲内 ク選延差が変動しなくなり、回路が誤動作する問題が発 クロックにおいても各パッファ素子段に接続する素子の 始子容量及び配線容量が同等であり、各バッファ素子段 のパッファ森子段数が同一のため、クロック選延差を特 の種類が同等であり、かつ名クロックのクロックツリー に設定していれば、製造工程、動作温度及び電源電圧な どが変動しても発子の端子容量、配線容量、バッファ素 子の駆動力及び配線抵抗などの変動が、各パッファ索子 段で一様に変動するため、各クロック供給素子からクロ ック入力衆子間のクロック選延が一様に変動し、クロッ

【発明の効果】以上説明したように、この発明によれ [0038]

ば、バッファ回路の段数、駆動力を周一とし、かつダミ

ロックスキューの変動を抑制することが可能となり、回 の配線を付加して各回路の負荷容量が略同一となるよう に関整したので、製造工程、動作温度及び電源電圧等の 助作環境が変動してもクロックの選延が一様となり、ク 一のパッファ回路、ダミーのクロック人力回路、ダミー 路の誤動作を防止することができる。 【図1】鶴水頃1,2又は3記載の一曳施形態に係る半 **尊体集徴回路のクロック設計装置の構成を示す図であ** 

【図面の簡単な説明】

【図2】 蘭求項4, 5又は8記載の一更施形態に係る半 単体集徴回路のクロック設計方法のフローチャートを示 す図である。

[図3] クロックツリー生成後の各案子間の接続を示す

【図4】図3に示す後続例を半導体集徴回路の平面上に 図である。

【図5】図3に示す接続例を半導体集積回路の平面上に 配置し、各段のバッファ紫子に接続する負荷容量を同一 にした配線例を示す図である。

【図6】 ダミーのクロック入力祭子を使用した各衆子間 配置し、各段のバッファ素子に接続する配線の各配線周 毎の長さ及び幅を同一にした配線例を示す図である。 の複様例を示す図である。

【図7】図6に示す撥続例を半導体集積回路の平面上に 配置配線した一例を示す図である。 【図8】ダミーのバッファ森子及びダミーのクロック入 【図9】図8に示す複線例を半導体集積回路の平面上に 力素子を使用した各素子間の接続例を示す図である。 記画配線した一例を示す図である。

【図10】従来の半導体集積回路のクロック設計装置の 構成を示す図である。

【図11】従来の半蕁体集積回路のクロック設計方法を 示すフローチャートである。

【図12】従来のクロックツリ一生成前の各素子間の後 党を示す図である。

【図13】図12に示す接続例を半導体集的回路の平面 上に配置配線した一例を示す図である。

【図14】従来のクロックツリー生成後の各素子間の接 院を示す図である。

【図15】図14に示す接続例を半導体集街回路の平面 tに配置配線した一例を示す図である。

【図17】図16に示す接続例を半導体集的回路の平面 【図16】クロックCLK2における従来のクロックツ )一生成後の各衆子間の接続を示す図である。

【図18】 クロック CLK 2における従来のクロックツ ) 一生成後の各素子間の接続を示す図である。 tに配置配線した一例を示す図である。

【図19】図18に示す接続例を半導体集制回路の平面 上に配置配線した一例を示す図である。

[ 符号の説明]

 $\boldsymbol{\epsilon}$ 

 1, 2 クロック供給素子
 301~307,701~703,707,708 バ

 10 半導体強慢回路の平面
 ッファ素子

 101~113 クロック人力素子
 310~322,710~721 素子間の配線

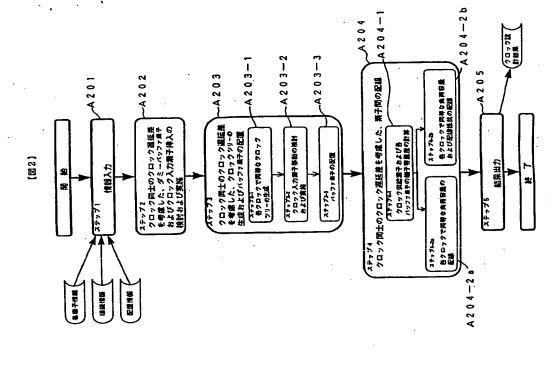
 114~116,504~512 ダミーのクロック人
 316-A,317-A,318-A,319-A,319-B,3201~213,801~812 クロック人力素子の

 201~213,601~612 クロック人力素子の
 706 ダミーのバッファ素子

 電子容量値

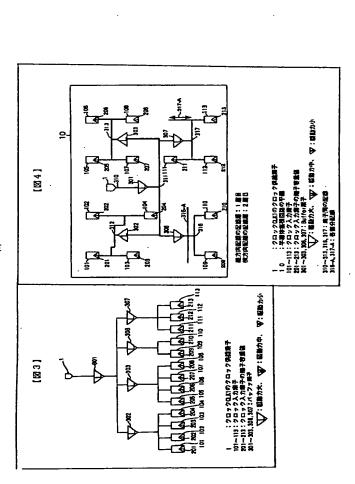
[⊠ I.]

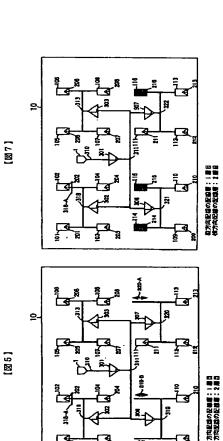
8203-3 B204-2b \_B 2 0 4 ---クロック同士のクロック選延差を考慮した、クロックァリーの生成およびバッフィボチの配置 地域は、 クロック人力第子等船の機計 りよび実施 もよび実施 MELTS 各クロックで同等な負荷容量および配は低抗の配類 B 2 0 3-2 | 本クロックで回答なる保証の記録 クロック団士のクロック選延度を考慮した。 ダミーパッファmm+およびクロック入力素子挿入の検討および実施 カロック両士のクロック選技性も考慮した、素子間の配線 THELL THEAT B205 B 2 0 1 B203-1 4 クロックを配体のクロック ( 砂粒情報 ( 配配情報 B204-クロック供給菓子および各 パッファ菓子の菓子容量数の計算 結果出力 情報人力 各級子情報(



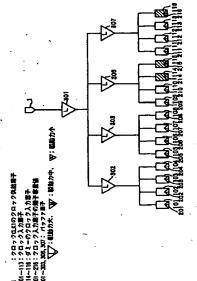
特関平11-1114









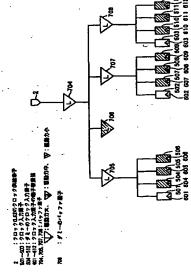


[88]

3



[88]



[88]

[図10]

Ê

B102-3 ~B103 `B102−2 [图18] WESS クロック毎にクロックッリ~の生成およびバッフ7素子の配置 ~B104 B102-1 B103-1 クロック同士のクロック選班開整 クロック毎に素子間の配袋 クロック選及差の計算 結果出力

」 : クロック以いのクロック供給菓子 101~113: クロック人が菓子 201~213: クロック人が菓子の菓子母屋貸

[図14]

708 : #1-686 77-72: 第子 68

801~603: 27 804~512: 27 804~512: 27 804~512: 27 804.51

(図13)

~B102

) : ウロック仏パのフロック投稿後子 107~113:クロック人が菓子 201~213:クロック人が菓子 201~213:クロック人が菓子の菓子管雑店 201~305:パッファ展子

1 : 20ックQXIのクロック供給数字 10 : 年等体験を回路の中間 101~113 : 20ック人力等子 201~213 : 20ック人力等子

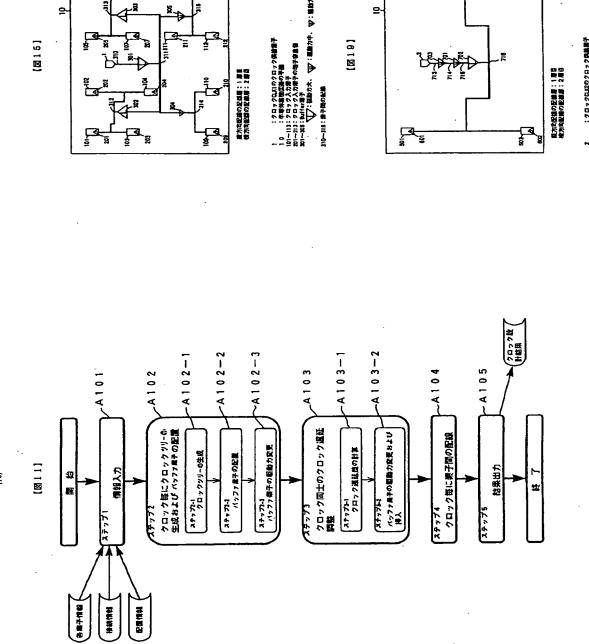
§ §

: ソロップ人のボチを連信 2 : クロックUCDのクロック性的等于 : パタファボチ : パタファボチ : フロック人がボデ (マ): 延節カ大、(安): 張敬力中、(マ): 羅勢カ小 (6) --601: パタファボチ (マ): 「201-701: パタファボチ

[図17]

Ξ





8 -<u>∫</u>4